

BEST AVAILABLE COPY

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020012407 A
 (43)Date of publication of application: 16.02.2002

(21)Application number: 1020000045687
 (22)Date of filing: 07.08.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: JUNG, HWI TAEK
 LEE, SEUNG GEUN
 LIM, YEONG HO

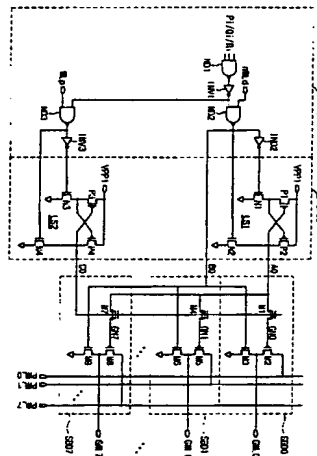
(51)Int. Cl. G11C 16/08

(54) ROW DECODER OF NONVOLATILE MEMORY DEVICE

(57) Abstract:

PURPOSE: A row decoder of a nonvolatile memory device is provided, which can reduce a boosting load and can improve a speed of a reading operation, and can generate/control a high voltage effectively in a flash memory using a low power supply voltage.

CONSTITUTION: A decoding logic circuit(DCL0) includes a NAND gate(ND1) inputting predecoding signals(Pi-Ri), and a NAND gate(ND2) inputting an output of the NAND gate(ND1) through an inverter(INV1) and inputting a word line discharge signal(nWLd), and a NAND gate(ND3) inputting an output of the inverter and a word line(WLp). A channel spare charge circuit(CPC0) comprises two level shifters(LS1,LS2) having the first high voltage(VPP1) as a power supply voltage. The level shifters comprise PMOS transistors(P1,P2,P3,P4) and NMOS transistors(N1,N2,N3,N4). An output of the NAND gate(ND2) is applied to a gate of the NMOS transistor(N1) through an inverter(INV2), and is applied directly to a gate of the NMOS transistor(N2). An output of the NAND gate(ND3) is applied to a gate of the NMOS transistor(N3) through an inverter(INV3) and is applied directly to a gate of the NMOS transistor(N4).



© KIPO 2002

Legal Status

Date of final disposal of an application (20030123)

Patent registration number (1003819620000)

Date of registration (20030415)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 16/08	(11) 공개번호 (43) 공개일자	특2002-0012407 2002년02월16일
(21) 출원번호	10-2000-0045687	
(22) 출원일자	2000년08월07일	
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416	
(72) 발명자	정휘택 경기도용인시기흥읍구갈리385번지풍림APT104동402호 이승근 경기도성남시분당구정자동상록마을임광ATP407동202호 임영호 경기도수원시팔달구영통동향골풍림APT231동303호	
(74) 대리인	임창현, 권혁수	

심사청구 : 있음

(54) 비휘발성 메모리 장치의 로우 디코더

요약

본 발명은 복수개의 워드라인들 및 비트라인들과 복수개의 메모리 셀들로 이루어진 복수개의 메모리 셀 섹터들을 가지며 전기적인 소거 및 프로그램이 가능한 반도체 메모리 장치에서, 상기 워드라인들을 선택하는 디코더 회로를 제공한다. 상기 디코더 회로는, 소정의 연결수단들을 통하여 상기 워드라인들과 연결된 글로벌 워드라인들에 연결된 풀업 및 풀다운 트랜지스터들을 가지며, 동작모드에 따른 고전압이 상기 글로벌 워드라인들 중 선택된 하나의 글로벌 워드라인으로 공급되기 전에 상기 풀다운 트랜지스터들을 턴온시키고, 상기 풀업 트랜지스터들의 게이트들을 예비 충전한다. 글로벌 워드라인으로의 워드라인 구동전압을 공급함에 있어서, 자가 증압 방식을 이용하기 때문에 증압에 따른 부담을 줄일 수 있다.

도표도

도8

양세서

도면의 간단한 설명

제1도는 플래쉬 메모리 장치에서 종래에 사용된 워드라인 구동 방식을 보여주는 회로도(제1도=제1A도+제1B도);

제2도는 제1도의 글로벌 로우 디코더(global row decoder)와 워드라인 드라이버(wordline driver)들간의 연결관계를 보여주는 회로도;

제3도는 제1도의 로컬 로우 디코더(local row decoder)의 회로도;

제4도는 제1도에 사용되는 고전압을 발생하는 회로도;

제5도는 본 발명의 실시예에 따른 워드라인 구동 방식을 보여주는 회로도;

제6도는 제5도의 글로벌 로우 디코딩 블록(global row decoding block)과 워드라인 드라이버들간의 연결관계를 보여주는 회로도;

제7도는 제5도의 파셜 로우 디코더(partial row decoder)의 회로도;

제8도는 제1도의 섹터 선택회로의 구성을 보여주는 회로도;

제9도는 제1도에서 사용되는 고전압들을 발생하는 회로도;

제10도는 제1도에서 사용되는 신호들간의 관계를 보여주는 전압파형도.

<도면의 주요부분에 대한 참조부호의 설명>

VPP1 : 제 1 고전압 Vbst : 제 2 고전압 Vpgm : 제 3 고전압

50 : 글로벌 로우 디코딩 블록 (global row decoding block)

NOTICE OF PRELIMINARY REJECTION

APPLICANT(S)

Name *Hynix Semiconductor Inc.*
Address *San 136-1, Ami-ri, Bubal-eub, Ichon-shi
Kyoungki-do 467-860, Republic of Korea*

ATTORNEY(S)

Name *Shinsung International Patent & Law firm*
Address *2-3F, Line Bldg., Yeoksam-dong, Kangnam-gu
Seoul 135-080, Republic of Korea*

APPLICATION No. 2002-52564

TITLE RESISTANCE CALIBRATION CIRCUIT

This application was preliminarily rejected pursuant to Article 63 of the Korean Patent Law based on the following reason. Should there be any opinion against this action, please file a written argument by February 7, 2005. (You can apply for 1-month extension per each case, and we do not notify you of the confirmation for such term extension.)

[REASON]

This invention described in claims 1 to 5 can be easily invented by those skilled in the art as pointed out below. Accordingly, the above-identified patent application cannot be registered pursuant to Article 29, Paragraph 2 of the Korean Patent Law.

[BELOW]

Claims 1 to 5 of this invention relate to a resistance calibration circuit, including: a correction code generating means for generating a plurality of push-up code signals and a plurality of pull-down code signals; a push-up decoder for decoding the plurality of push-up code signals; a pull-down decoder for decoding the plurality of pull-down code signals; and a resistance adjustor for turning on/off a plurality of inner transistors by a push-up signal and a pull-down signal to provide a calibrated resistance value.

However, Korean Laid-Open No. 2002-12407 disclosed on February 16, 2002 (hereinafter referred to as the cited reference 1) reveals the configuration of a row decoder in a non-volatile memory device. Especially, in the non-volatile memory device, a signal is selectively inputted to a plurality of pull-up transistors and pull-down transistors by using a decoder of a semiconductor memory device, which includes: a plurality of memory cell sectors; a plurality of global word lines; a sector selecting circuit for controlling a connection means to select the memory cell sector; a partial row decoder for selectively supplying a voltage corresponding to an operation mode to driver circuits; and a reserve charging circuit.

Also, Japanese Laid-Open No. 07-169277 disclosed on July 4, 1995 (hereinafter referred to as the cited reference 2) reveals a semiconductor memory device including a variable load circuit for detecting multiple selections of a plurality of word lines and eliminating impedance of a bit line load based on an output of a corresponding word line detecting circuit.

Therefore, it is regarded that, through combining the configuration disclosed in the cited reference 1 with the configuration disclosed in the cited reference 2, this invention can be easily derivable by those ordinary people skilled in the art.

[Attachment] KR Laid-Open No. 2002-12407
JP Laid-Open No. 07-169277

Dated this 7th day of December, 2004

Examination Bureau
Examiners, Byeong-Jun Song
Song-Ho Park

KOREAN INTELLECTUAL PROPERTY OFFICE

WDBi, WDBj : 워드라인 드라이버 블록 (wordline driver block)
 MCSi, MCSj : 메모리 셀 섹터 (memory cell sector)
 55 : 파셜 로우 디코더 (partial row decoder)
 56 : 섹터 선택 회로 (sector selection circuit)
 DLCO~DLCK : 채널 예비 충전 회로 (channel precharging circuit)
 SBD0~SBDn : 자가 승압 드라이버 (self-boosting driver)

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

플래쉬(Flash) 메모리장치에서는 메모리셀을 전기적으로 데이터를 프로그램하거나 그 메모리셀에 저장된 데이터를 전기적으로 소거할 수 있다. 통상적인 플래쉬메모리장치의 동작에 의하면, 드레인(drain)영역과 인접한 채널(channel)영역으로부터 플로팅게이트(floating gate)로의 핫일렉트론 주입(hot electron injection)을 이용하여 프로그램을 행한다. 프로그램하기 위하여는, 소오스영역과 기판영역을 접지시키고 컨트롤게이트(control gate)에 약 9V의 고전압을 인가함과 동시에 드레인영역에는 핫일렉트론을 발생시킬 수 있는 정도의 전압 약 5V를 인가한다. 이와 같이 프로그램된 메모리셀에서는 플로팅게이트에 음전하가 축적되기 때문에 메모리셀의 문턱전압을 상승시킨다. 반대로 소거(erase)시에는, 컨트롤게이트에 -9V정도의 음의 고전압을 인가하고 벌크(bulk)영역에는 약 9V를 인가하여 플로팅게이트에 축적된 음의 전하들이 벌크영역으로 방출된다(Fowler-Nordheim Tunneling). 소거된 메모리셀의 문턱전압은 그렇지 않은 것보다 낮아진다. 독출동작은 드레인영역에 약 1V의 전압을 인가하고 컨트롤게이트에는 프로그램된 문턱전압보다 낮은 전압을 인가하고 소오스영역에는 0V를 인가함으로써 이루어지는데, 프로그램된 메모리셀은 '오프셀(off-cell)'로 판별되고 소거된 메모리셀은 '온셀(on-cell)'로 읽혀진다.

프로그램되거나 소거된 메모리셀에 대한 독출동작이 수행하는 때에는, 프로그램된 메모리셀의 문턱전압과 소거된 메모리셀의 문턱전압사이의 전압(이하 '독출전압')을 선택된 메모리셀에 연결된 워드라인(word line)에 인가하여야 한다. 이 때, 독출전압이 전원전압보다 더 높아야 하는 경우가 있는데, 이를 해결하기 위하여 독출전압을 승압(boosting)시키는 방식이 소개된 바 있다(IEEE 1996 Symposium on VLSI Circuits Digest of Technical Papers, 172~173쪽, 'A 2.7V only 8Mb×16 NOR flash memory').

최근에는 휴대용 통신기기 또는 휴대용 컴퓨터 등과 같이 배터리로 동작하는 장치에서 플래쉬메모리는 저소비전력을 위해 저전압하가 진행되고 있다. 그러나, 고집적화와 병행하는 저전압화의 가장 큰 걸림돌은, 낮은 동작전압에서 독출동작동안 워드라인의 승압효율이 집적도가 커지면 커질수록 떨어진다라는 점이다. 이를 해결하기 위한 방법들이 몇가지 소개된 바 있다. 그 하나는, 워드라인을 다중으로 승압시키는 방식으로서, 승압효율을 높여 저전압에서도 고속의 독출동작이 가능하도록 한 것이다(제6회 한국반도체학술대회, 1999년 2월, 'Quick Double Bootstrapping Scheme for Word Line of 1.8V Only 16Mb Flash Memory'). 다른 하나는, 파워업(power-up)되는 즉시 고전압발생기인 차아지펌프(charge pump)를 구동시켜 독출동작이 시작될 때 차아지펌프로부터 발생한 고전압을 해당하는 워드라인에 인가하는 방식으로서, 동작속도가 빠르고 낮은 소비전력을 실현할 수 있다는 이유로 최근에 이용되고 있다(IEEE Journal of Solid State Circuits, Jun 1976, 374~378쪽, J.F.Dickson, 'On-chip high voltage generation in MNOS integrated circuits using an improved voltage multiplier technique'). 낮은 전원전압하에서의 독출동작시에 워드라인의 전압을 승압시키기 위하여 차아지 펌프를 사용하는 기술에 관하여, 관련 논문(IEEE JSSC, Vol.34, No.8, Aug.1999, 1091~1098쪽, 'Optimization of word-line booster circuits for low-voltage flash memories')에서는, 차아지 펌프가 차지하는 회로 면적 및 동작 전류가 다른 주변회로요소에 비해 상대적으로 작기 때문에 10 μ A이하 정도의 대기 전류(stand-by current)가 흐르더라도 소비전력 측면에서 보았을 때 오히려 유리하다고 평가하였다.

한편, NOR형의 플래쉬 메모리 장치에서 채용되는 로우 디코더(row decoder)는 전술한 바와 같은 플래쉬 메모리의 특성상 음의 고전압으로부터 양의 고전압에 이르는 다양한 레벨의 전압을 인가할 수 있어야 한다. 일반적으로, 전원전압의 포텐셜(potential)보다 높은 포텐셜을 가지는 전압이면 고전압으로 지칭한다. 즉, 전원전압이 3.3V인 경우에, 독출시에는 선택된 워드라인에 약 4.5V가 인가되고, 프로그램시에는 선택된 워드라인에 약 9V의 전압이 인가되며, 소거시에는 워드라인과 벌크(bulk)영역에 약 9V 및 -9V가 각각 인가된다. 그러한 전압 공급을 위하여 종래에 사용된 로우 디코더와 그 관련회로들이 제1도에 도시되어 있다.

제1도에 보인 메모리 셀 섹터 13 및 14는, 예컨대, 전체 메모리 셀 어레이를 섹터(sector)단위로 나누어 배열된 것을 중 1번째와 1번째에 각각 해당하며, 그 각각은 1024개의 워드라인들과 512개의 비트라인들로 구성된 64K 바이트의 저장 용량을 가진다(64K Byte=1024×512 bit). 독출동작 혹은 프로그램동작시에 하나의 워드라인을 선택하기 위해서는, 1024개의 워드라인들에 대응하는 10개의 어드레스신호들이 필요하다. 글로벌(global) 워드라인들은 128개로 나누어 저 글로벌로 로우 디코더 10에 의해 그 중 하나가 선택되고, 하나의 글로벌 워드라인에는 8개의 로컬(local) 워드라인들이 배치되어(128×8=1024) 로컬로 로우 디코더 15 (또는 16)에 의해 선택된다. 워드라인들의 각각에 배치되는 워드라인 드라이버 W0는, 글로벌로 로우 디코더 10으로부터 제공되는 글로벌 워드라인 선택신호 GWL과, 로컬로 로우 디코더 15(또는 16)로부터 제공되는 로컬 워드라인 선택신호 PWL, 그리고 블럭 디코더 17(또는 18)로부터 제공되는 블럭 선택신호 BLS에 응답하여 해당하는 워드라인을 구동시킨다. 독출동작, 프로그램동작 또는 소거동작에서 워드라인으로 고전압(양의 고전압 또는 음의 고전압)을 공급하기 위하여, 글로벌로 로우 디코더 10과 로컬로 로우 디코더 15(또는 16)에는 고전압을 스위칭하기 위한 레벨 쉬프터(level shifter) LS가 배치된다.

제2도는 글로우벌로우 디코더 10에 내장된 레벨 쉬프터들(128개) 중 하나인 LS0와 워드라인 드라이버들 WD0~WD7간의 연결관계를 보여주며, 제3도는 로컬 로우 디코더 15에 내장된 레벨 쉬프터들(8개) 중 하나인 LS0의 구성을 보여 준다. 제2도에서, 전압단(voltage terminal) VPP는 프로그램을 위한 양의 고전압을 표시하며, VEX는 소거동작을 위한 음의 고전압을 나타낸다. 제2도 및 제3도에 보인 바와 같이, 고전압을 스위칭하기 위하여 고전압용 피모오스(PMOS) 트랜지스터들 PH1~PH11과 고전압용 엔모오스(NMOS) 트랜지스터들 NH1~NH11이 사용된다. 고전압용 트랜지스터는 모오스(MOS) 트랜지스터의 인헨스먼트(inhancement)특성을 강화시켜, 드레인 또는 소오스측에 전원전압보다 높은 전압이 인가되더라도 절연막 파괴 등의 물리적인 부담 없이 스위칭 기능을 수행할 수 있도록 제조된 트랜지스터이다. 독출 동작 또는 프로그램동작시에는 고전압용 피모오스 트랜지스터들 PH1, PH11, 그리고 PH3 등을 통하여 양의 고전압 VPP가 대응하는 워드라인(예컨대, WL0i)으로 스위칭되며, 소거동작시에는 고전압용 엔모오스 트랜지스터들 NH2 및 NH4 등을 통하여 음의 고전압 VEX가 대응하는 워드라인으로 스위칭된다. 아래의 표는 각 동작모드에 따라 인가되는 전압에 관하여 보여준다.

<표 1>

동작 모드	GWL		선택된 메모리 셀 섹터						비선택된 메모리 셀 섹터		
	선택 GWL	비선택 GWL	선택 PWL	비선택 PWL	선택 PWL	비선택 PWL	VEX	PWL	WL	VEX	
프로그램	9V	0V	9V	0V	9V	0V	0V	0V	0V	0V	
소거	-9V		0V		-9V		-9V	0V	0V	0V	
독출	4.5V	0V	4.5V	0V	4.5V	0V	0V	0V	0V	0V	

제1도와 같은 디코더 구조에서, 고전압용 피모오스 트랜지스터들 PH1~PH11은 그들의 벌크영역인 N형 웰을 공유하도록 제조된다. 즉, 하나의 N형 웰에 디코딩에 관한 모든 고전압용 피모오스 트랜지스터들이 형성되어 있다. 그러한 고전압용 피모오스 트랜지스터들의 채널들을 통하여 독출 또는 프로그램을 위한 고전압이 스위칭되기 때문에, PN접합을 통한 전압강하를 방지하기 위하여 그들의 벌크영역인 N형 웰에도 동일한 고전압이 인가되어야 한다. 결국, 독출 또는 프로그램동작에서 전원전압으로부터 고전압으로 승압하는 때에는, 선택된 디코더 영역의 고전압용 피모오스 트랜지스터들 뿐만 아니라 비선택된 디코더 영역의 고전압용 피모오스 트랜지스터들까지 공유되어 있는 N형 웰도 승압하여야 하기 때문에, 승압 부하(boosting load)가 매우 커지게 된다. 특히, 독출동작시에는 워드라인전압이 빠르게 승압되어야만 독출동작의 속도가 빨라지므로, 그만큼 승압에 따른 부담이 더욱 커진다. 플래쉬 메모리 장치에서 사용되는 전원전압이 점차 낮아지고 있음에 따라, 승압 부하의 증가에 따른 독출 동작 속도의 저하는 가중될 것이다.

프로그램이나 소거를 하는 동안에는 독출동작의 경우보다 동작시간에 대한 승압 부하의 부담이 상대적으로 적지만, 고전압용 피모오스 트랜지스터들이 하나의 벌크영역, 즉 N형 웰을 공유하는 한 나름대로의 불필요한 승압 부담을 갖고 있음을 또한 이해하여야 한다.

낮은 전원전압을 사용하는 플래쉬 메모리 장치에서 독출동작 또는 프로그램동작에서 워드라인으로 공급될 고전압을 발생하기 위한 종래의 회로가 제4도에 도시되어 있다. 제4도에 도시된 바와 같이, 제1도의 글로우벌로우 디코더 10에 사용되는 고전압 VPP를 공급하기 위하여, 플래쉬 메모리 장치가 파워 온(power-on) 상태가 되면 즉시 활성화되는 소용량의 스탠바이(stand-by)용 고전압 발생기 21과 어드레스 천이 감지 신호(address transition detection signal; ATD)에 응답하여 활성화되는 액티브(active)용의 대응량 고전압 발생기 23이 사용된다. 또한, 스탠바이용 및 액티브용의 고전압 발생기들 21 및 23에 채용되는 비교 증폭기들 AMP의 비반전단들로 인가되는 기준전압 VREF를 발생하는 기준전압 발생 회로 22가 제공된다. 그러나, 제4도의 고전압 발생 구성에서는, 스탠바이용 고전압 발생기 21의 출력과 액티브용 고전압 발생기 23의 출력단이 하나로 묶여져 있기 때문에, 액티브용 차하지 펌프(charge pump)의 효율이 저하되는 물론 스탠바이동작과 액티브동작에서의 고전압 레벨을 별도로 하는 것이 불가능하다.

본명이 이루고자하는 기술적 과제

따라서, 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 낮은 전원전압을 사용하는 플래쉬 메모리에서 승압 부하를 줄일 수 있는 장치를 제공함에 있다.

본 발명의 다른 목적은 낮은 전원전압을 사용하는 플래쉬 메모리에서 독출동작의 속도를 향상시킬 수 있는 장치를 제공함에 있다.

본 발명의 또 다른 목적은 낮은 전원전압을 사용하는 플래쉬 메모리에서 독출동작과 프로그램동작, 그리고 소거동작시에 승압 부하를 줄일 수 있는 장치를 제공함에 있다.

본 발명의 또 다른 목적은 낮은 전원전압을 사용하는 플래쉬 메모리에서 고전압의 발생 및 제어를 효율적으로 할 수 있는 장치를 제공함에 있다.

이와 같은 본 발명의 목적들을 달성하기 위하여, 본 발명에 따른 플래쉬 메모리 장치에는 복수개의 워드라인들 및 비트라인들과 복수개의 메모리셀들로 이루어진 복수개의 메모리 셀 섹터들과, 소정의 연결수단들을 통하여 상기 워드라인들과 전기적으로 연결되는 복수개의 글로우벌로우 워드라인들이 배열되어 있으며, 상기 메모리 셀 섹터들을 선택하기 위하여 동작모드에 따른 전압을 상기 연결수단들에 인가하는 선택 회로와, 상기 동작모드에 따른 전압을 공급하기 위한 파셜 워드라인 구동신호들을 발생하는 파셜 로우 디코더와, 상기 동작모드에 따른 전압이 상기 글로우벌로우 워드라인으로 공급되기 전에 풀업 트랜지스터들의

게이트를 예비 충전한 다음, 상기 파셜 워드라인 구동신호를 통하여 공급된 동작모드에 따른 전압을 상기 풀업 트랜지스터를 통하여 선택적으로 상기 글로우벌 워드라인들에 인가하는 글로우벌 로우 디코더를 가진다.

상기 풀업 트랜지스터는 고전압용의 엔모오스 트랜지스터로 되어 있으며, 상기 연결수단은 디플리션 트랜지스터를 사용한다. 또한, 상기 글로우벌 로우 디코더는 상기 글로우벌 워드라인과 접지전압사이에 연결되어 상기 동작모드에 따른 전압이 상기 글로우벌 워드라인으로 공급되기 전에 상기 글로우벌 워드라인을 방전시킨다. 상기 글로우벌 로우 디코더는 제1고전압을 전원으로 사용하며, 상기 동작모드에 따른 전압이 독출 동작모드에서는 제2고전압으로 되고 프로그램 동작모드에서는 제3고전압으로 됨을 특징으로 하는 반도체 메모리 장치. 상기 제1, 제2 및 제3고전압은 상기 반도체 메모리 장치의 전원전압보다 높은 전위를 가지며, 상기 제1고전압을 발생하는 회로와 상기 제2고전압을 발생하는 회로가 전기적으로 서로 분리되어 있다

발명의 구성 및 작용

이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세하게 설명한다. 본 발명의 도면 또는 설명에서 인용되는 신호들의 참조부호들 중 'n'으로 시작되는 신호명은 음의 논리(negative logic)로 할당되는 신호이다. 또한, 본 발명의 실시예에서 적용되는 플래시 메모리의 저장 용량과 그에 따른 워드라인들의 수는 하나의 예에 불과하다. 본 발명은, 또한, 정상적인 데이터 독출 등을 위하여 워드라인의 전압을 승압시켜야만 하는 저전력(low power) 플래시 메모리 장치에 이용된다.

제5도는 본 발명에 따라 설계된 디코딩 회로들과 메모리 셀 어레이간의 연결관계를 보여준다. 제5도에 도시된 메모리 셀 섹터를 MCSi 및 MCSj는, 전체 메모리 셀 어레이를 복수개의 섹터들로 나눈 상태에서 각각 i번째와 j번째에 해당하며, 각각은 1024개의 워드라인들(n=1023)과 512개의 비트라인들로 구성되어 64K 바이트(1024×512=64K byte)의 저장용량을 가지는 것으로 가정된다. 각각의 메모리 셀 섹터에 배열된 1024개의 워드라인들 WL0~WLn(n=1023)은 1024개의 글로우벌 워드라인들 GWL0~GWLn(n=1023)에 워드라인 구동 트랜지스터들 DT0~DTn(n=1023)을 통하여 연결된다. 워드라인들 및 워드라인 구동 트랜지스터들의 부호의 말단에 첨부된 문자 'i' 또는 'j'는 그것들이 포함되는 메모리 셀 섹터를 표시한다. 워드라인 구동 트랜지스터들 DT0~DTn의 각 그룹은, 메모리 셀 섹터를 MCSi 및 MCSj를 각각 담당하는 워드라인 구동 블록들 WDBi 및 WDBj에 각각 포함된다. 또한, 워드라인 구동 트랜지스터들 DT0~DTn은 디플리션(depletion)형의 엔모오스(NMOS)로 형성되어 있으며, 그들의 게이트에는 섹터 선택 회로 SSi (또는 SSj)로부터 제공되는 섹터 선택 신호 SWSi(또는 SWSj)가 공통으로 인가된다. 섹터 선택 회로 SSi 및 SSj는 메모리 셀 섹터를 MCSi 및 MCSj를 각각 선택하기 위하여 해당하는 메모리 셀 섹터의 워드라인 구동 트랜지스터들 DT0i~DTni 및 DT0j~DTnj를 제어한다. 파셜 로우 디코더 55와 섹터 선택 회로들 SSi 및 SSj에는 제2고전압 Vbst와 제3고전압 Vpgm이 공급된다.

글로우벌 워드라인들 GWL0~GWLn을 구동시키기 위하여, 글로우벌 워드라인 디코딩 블록 50에는 글로우벌 워드라인들의 수에 상응하는 자가 승압 드라이버들 SBD0~SBDn(n=1023)이 배치된다. 자가 승압 드라이버들 SBD0~SBDn은 각각이 8개씩으로 된 128개의 그룹들 SBDG0~SBDGk(k=127)로 나뉘어 진다. 자가 승압 드라이버 그룹들 SBDG0~SBDGk의 각각에 속하는 8개씩의 자가 승압 드라이버들 (SBD0~SBD7,... 또는 SBDn-7~SBDn; n=1023)은 파셜 로우 디코더 55로부터 제공되는 8개의 파셜 워드라인 구동신호들 PWL0~PWL7를 각각 입력한다. 또한, 자가 승압 드라이버 그룹들 SBDG0~SBDGk의 각각에 속하는 8개씩의 자가 승압 드라이버들 (SBD0~SBD7,... 또는 SBDn-7~SBDn; n=1023)은 128개로 배치된 채널 예비 충전 회로들 CPC0~CPCk(k=127)의 각각으로부터 제공되는 채널 예비 충전 신호들 AO~CO,... Ak~Ck를 각각 입력한다. 채널 예비 충전 회로들 CPC0~CPCk의 각각은 디코딩 논리 회로들 DLC0~DLCk의 각각으로부터 제공되는 디코딩 논리 신호들을 각각 입력한다. 또한, 채널 예비 충전 회로들 CPC0~CPCk는 스태비타이징에 활용되는 제1고전압 VPP1을 전원전압으로 이용한다. 디코딩 논리 회로들 DLC0~DLCk는 프리 디코더(pre-decoder)로부터 제공되는 프리디코딩 신호들 Pi, Qi, Ri를 입력한다.

프리디코딩 신호들 Pi~Ri로부터 디코딩 논리 회로 DLC0 및 채널 예비 충전 회로 CPC0를 거쳐 자가 승압 드라이버 그룹 SBDG0에까지 이르는 회로그룹은 하나의 글로우벌 로우 디코딩 유닛(global row decoding unit)으로 지칭될 수 있으며, 이러한 유닛들이 본 실시예에서는 128개가 배열된다. 128번째의 글로우벌 로우 디코딩 유닛은 프리디코딩 신호들 Pi~Ri로부터 디코딩 논리 회로 DLCk(k=127) 및 채널 예비 충전 회로 CPCk(k=127)를 거쳐 자가 승압 드라이버 그룹 SBDGk(k=127)에까지 이르는 회로그룹이 해당된다. 각 글로우벌 로우 디코딩 유닛에는 8개씩의 글로우벌 워드라인들이 소속되어 있으므로, 총 1024개의 글로우벌 워드라인들을 선택하기 위해서는 10개의 어드레스비트(address bit)들이 필요하다. 10개의 어드레스비트들 중 7개는 128개의 글로우벌 로우 디코딩 유닛들을 선택하는데 할당되고, 나머지 3개의 어드레스비트들은 하나의 글로우벌 로우 디코딩 유닛에 소속된 8개의 글로우벌 워드라인들을 선택하는데 할당된다.

제6도는 제1도에 보인 하나의 글로우벌 로우 디코딩 유닛(DLC0+CPC0+SBD0~SBD7)의 상세한 구성을 보여 준다. 디코딩 논리 회로 DLC0는, 프리디코딩 신호들 Pi~Ri를 입력하는 낸드 게이트 ND1과, 낸드 게이트 ND1의 출력을 인버터 INV1를 통하여 입력하고 워드라인 방전 신호 nWLd를 입력하는 낸드게이트 ND2와, 인버터 INV1의 출력과 워드라인 WLp를 입력하는 낸드 게이트 ND3를 포함한다. 채널 예비 충전 회로 CPC0는 제1고전압 VPP1을 전원으로 하는 2개의 레벨 쉬프터(level shifter)들 LS1 및 LS2로 이루어 진다. 레벨 쉬프터 LS1(또는 LS2)는 피오오스 트랜지스터들 P1 및 P2(또는 P3 및 P4)와 엔모오스 트랜지스터들 N1 및 N2(또는 N3 및 N4)로 구성되는 보통의 레벨 쉬프터이다. 낸드 게이트 ND2의 출력은 인버터 INV2를 통하여 엔모오스 트랜지스터 N1의 게이트로 인가되는 한편, 엔모오스 트랜지스터 N2의 게이트로 직접 인가된다. 낸드 게이트 ND3의 출력은 인버터 INV3를 통하여 엔모오스 트랜지스터 N3의 게이트로 인가되는 한편, 엔모오스 트랜지스터 N4의 게이트로 직접 인가된다.

자가 승압 드라이버들 SBD0~SBD7의 각각은 고전압용의 디플리션 엔모오스 트랜지스터 M1(SBD1의 M4, 또는 SBD7의 M7)과 고전압용의 엔모오스 트랜지스터들 M2(SBD1의 M5, 또는 SBD7의 M8) 및 M3(SBD1의 M6, 또는 SBD7의 M9)으로 구성된다. 고전압용 디플리션 트랜지스터 M1은 레벨 쉬프터 LS1의 출력단 A0과 고전압용 엔모오스 트랜지스터 M2의 게이트사이에 연결된다. 고전압 디플리션 트랜지스터 M1의 게이트는 레벨 쉬

포터 LS2의 출력단 C0에 연결된다. 고전압 디플리션 트랜지스터 M2는 파셜 워드라인 구동 신호 PWL0과 글로우벌 워드라인 GWL0사이에 연결된다.

첫번째 자가 승압 드라이버 SBD0에서, 고전압용 엔모오스 트랜지스터 M3는 글로우벌 워드라인 GWL0와 접지전압사이에 연결되고, 디코딩 논리 회로 DL0의 낸드게이트 N02의 출력 B0가 그 게이트로 인가된다. 낸드게이트 N02의 출력 B0는 자가 승압 드라이버를 SBD0-SBD7의 각각에 구성된 고전압용 엔모오스 트랜지스터 M3, M6 및 M9의 게이트들에 공통으로 인가된다.

두번째 자가 승압 드라이버 SBD1에서, 고전압용 엔모오스 디플리션 트랜지스터 M4는 레벨 쉬프터 LS1의 출력 A0와 고전압용 엔모오스 트랜지스터 M5의 게이트사이에 연결된다. 고전압용 엔모오스 트랜지스터 M5는 파셜 워드라인 구동신호 PWL1과 글로우벌 워드라인 GWL1사이에 연결되고, 고전압용 엔모오스 트랜지스터 M6는 글로우벌 워드라인 GWL1과 접지전압사이에 연결된다.

여덟번째 자가 승압 드라이버 SBD7에서, 고전압용 엔모오스 디플리션 트랜지스터 M7은 레벨 쉬프터 LS1의 출력 A0와 고전압용 엔모오스 트랜지스터 M8의 게이트 사이에 연결된다. 고전압용 엔모오스 트랜지스터 M8은 파셜 워드라인 구동신호 PWL7과 글로우벌 워드라인 GWL7사이에 연결되고, 고전압용 엔모오스 트랜지스터 M9는 글로우벌 워드라인 GWL7과 접지전압사이에 연결된다.

제1고전압 VPP1은 플래쉬 메모리 장치가 파워업되면 발생되며 약 4.5V의 전위를 가진다. VPP1은 자가 승압 드라이버들을 구성하는 고전압용 엔모오스 트랜지스터들의 게이트전압으로 사용된다.

제7도는 제1도에 보인 파셜 로우 디코더 55의 상세한 구성을 보여 준다. 제7도의 파셜 로우 디코더의 회로는 파셜 워드라인 구동신호들 PWL0-PWL7의 수(8개)만큼 제공되며, 3개의 레벨 쉬프터를 LS11-LS13을 포함한다. 레벨 쉬프터 LS11은 약 4.5V의 제2고전압 Vbst를 전원으로 사용하며, 레벨 쉬프터를 LS12 및 LS13은 제1고전압 VPP1을 전원으로 사용한다.

레벨 쉬프터 LS11의 엔모오스 트랜지스터 N11의 게이트에는, 예비 충전 신호 nPRE와 어드레스 디코딩 신호 S1(i는 0~7 중의 하나임)을 입력하는 낸드게이트 N011의 출력이 인가된다. 또한, 낸드게이트 N011의 출력은 인버터 INV11을 통하여 레벨 쉬프터 LS1의 엔모오스 트랜지스터 N12의 게이트로 인가된다. 레벨 쉬프터 LS12의 엔모오스 트랜지스터 N13의 게이트에는, 서입신호 nWR과 어드레스 디코딩 신호 S1을 입력하는 낸드게이트 N012의 출력이 인버터 INV12를 통하여 인가된다. 낸드게이트 N012의 출력은, 또한, 레벨 쉬프터 LS12의 엔모오스 트랜지스터 N14의 게이트로 직접 인가된다. 레벨 쉬프터 LS13의 엔모오스 트랜지스터 N15의 게이트에는, 서입신호 WR과 어드레스 디코딩 신호 S1을 입력하는 낸드게이트 N013의 출력이 인버터 INV13를 통하여 인가된다. 또한, 낸드게이트 N013의 출력은 레벨 쉬프터 LS13의 엔모오스 트랜지스터 N16의 게이트로 직접 인가된다.

레벨 쉬프터 LS11의 출력단 T1은, 소오스가 제2고전압 Vbst에 연결된 피모오스 트랜지스터 P13의 게이트에 연결된다. 레벨 쉬프터 LS12의 출력단 T2는 고전압용 디플리션 엔모오스 트랜지스터 M11을 통하여 고전압용 디플리션 엔모오스 트랜지스터 M13의 게이트로 연결된다. 레벨 쉬프터 LS13의 출력단 T3는 고전압용 디플리션 엔모오스 트랜지스터 M12를 통하여 고전압용 엔모오스 트랜지스터 M15의 게이트로 연결된다.

고전압용 엔모오스 트랜지스터 M15는 약 9V의 제3고전압 Vpgm과 파셜 워드라인 구동신호 출력단 PWLi(i는 0~7 중의 하나임)사이에 연결된다. 고전압용 디플리션 엔모오스 트랜지스터들 M11 및 M12의 게이트들은 레벨 쉬프터 LS11의 출력단 T1에 공통으로 접속된다. 고전압용 디플리션 엔모오스 트랜지스터 M13은 피모오스 트랜지스터 P13과 파셜 워드라인 구동신호 출력단 PWLi사이에 연결된다. 게이트가 레벨 쉬프터 LS11의 출력단 T1에 접속된 고전압용 엔모오스 트랜지스터 M14는 파셜 워드라인 구동신호 출력단 PWLi와 접지전압사이에 연결된다.

제1, 제2 및 제3고전압들의 발생에 관하여는 제9도의 고전압 발생 회로에 관련하여 후술될 것이다.

제8도는 제1도의 섹터 선택 회로 56의 상세한 회로 구성을 보인 것으로서, 레벨 쉬프터들로 입력되는 신호들의 종류를 제외하고는 전술한 파셜 로우 디코더 55의 구성과 유사하다. 즉, 제8도의 섹터 선택 회로는, 예컨대, 메모리 셀 섹터 MCSi를 선택하기 위한 섹터 선택신호 SWSi를 발생하며, 3개의 레벨 쉬프터를 LS21-LS23을 포함한다. 레벨 쉬프터 LS21은 제2고전압 Vbst를 전원으로 사용하며, 레벨 쉬프터를 LS22 및 LS23은 제1고전압 VPP1을 전원으로 사용한다. 레벨 쉬프터 LS21의 입력은, 예비 충전 신호 nPRE와 어드레스 디코딩 신호 SAI(i번째 메모리 셀 섹터를 선택하기 위한 어드레스 디코딩신호)를 입력하는 낸드게이트 N021의 출력이 된다. 레벨 쉬프터 LS22는, 서입신호 nWR과 어드레스 디코딩 신호 SAI를 입력하는 낸드게이트 N022의 출력을 입력한다. 레벨 쉬프터 LS23은 프로그램 신호 PGM과 어드레스 디코딩 신호 SAI를 입력하는 낸드 게이트 N013의 출력을 입력한다.

레벨 쉬프터 LS21의 출력단 T5는, 소오스가 제2고전압 Vbst에 연결된 피모오스 트랜지스터 P23의 게이트에 연결된다. 레벨 쉬프터 LS22의 출력단 T6는 고전압용 디플리션 엔모오스 트랜지스터 M21을 통하여 고전압용 디플리션 엔모오스 트랜지스터 M23의 게이트로 연결된다. 레벨 쉬프터 LS23의 출력단 T7은 고전압용 디플리션 엔모오스 트랜지스터 M22를 통하여 고전압용 엔모오스 트랜지스터 M25의 게이트로 연결된다. 고전압용 엔모오스 트랜지스터 M25는 약 9V의 제3고전압 Vpgm과 섹터 선택신호 출력단 SWSi사이에 연결된다. 고전압용 디플리션 엔모오스 트랜지스터들 M21 및 M22의 게이트들은 레벨 쉬프터 LS21의 출력단 T5에 공통으로 접속된다. 고전압용 디플리션 엔모오스 트랜지스터 M23은 피모오스 트랜지스터 P23과 섹터 선택신호 출력단 SWSi사이에 연결된다. 게이트가 레벨 쉬프터 LS21의 출력단 T5에 접속된 고전압용 엔모오스 트랜지스터 M24는 섹터 선택신호 출력단 SWSi와 접지전압사이에 연결된다.

제7도의 파셜 로우 디코더 55 또는 제8도의 섹터 선택 회로 56에서 출력터미널측에 고전압용 엔모오스 트랜지스터들을 사용하는 것은 독출 또는 프로그램시에 전원전압보다 높은 고전압을 워드라인으로 인가하여야 하기 때문이다. 또한, 풀업용의 트랜지스터들을 디플리션형으로 사용하는 것은 드레쉬홀드전압에 의한 전압 강하 요소를 제거하기 위함이다.

제9도를 참조하면, 본 발명에 따른 고전압 발생 회로는 스탠바이(stand-by)용의 소용량 차아지

펌프(charge pump) 91과, 기준전압 발생 회로 92와, 대응량의 액티브 킥커(active kicker) 93으로 구성된다. 제1고전압 VPP1을 발생하는 스태바이용의 차아지 펌프 91은 종래의 구조의 제4도의 차아지 펌프 21과 동일한 구성을 갖고 있다. 하지만, 정상동작, 즉 독출 또는 프로그램동작 중에 워드라인으로 공급될 제2고전압 Vbst를 발생하는 액티브 킥커 93은, 종래의 경우(제4도)처럼 기준 전압 발생 회로 92로부터 기준전압 VREF를 제공 받지 않음은 물론, 스태바이용 차아지 펌프 91과는 전기적으로 분리되어 있다.

액티브 킥커 93은 어드레스 천이 검출 신호 ATD(address transition detection signal)를 입력하는 인버터 INV31과, 인버터 INV31의 출력노드와 Vbst사이에 연결된 캐패시터 C31과, 전원전압 Vcc와 Vbst사이에 연결되고 그 게이트가 예비 충전 신호 PRE에 접속된 피모오스 트랜지스터 P32로 이루어진다.

앞서 설명한 바와 같이, 제1고전압 VPP1은 로우 디코더들(글로벌 로우 디코더, 파셀 로우 디코더, 또는 섹터 선택회로)에서 자가 승압(self-boosting)을 위한 전원으로 사용되는 전압으로서, 기생 용량 성분(parasitic capacitance)은 크지만 전류 소모는 거의 없는 전압노드(voltage node)이다. 반면에, 워드라인으로 공급되는 실제의 전압인 제2고전압 Vbst는 전류 소모는 차아지 펌프 91에 비해 많지만 부하(load)가 적은 전압 노드이다.

본 발명은 종래의 워드라인 승압 방식처럼 단순히 고전압용의 피모오스 트랜지스터를 통하여 독출 또는 프로그램에 필요한 워드라인 전압을 전승함에 따른 승압 부하를 줄이기 위하여 자가 승압(self boosting) 방식을 채용하는 것이 특징이다. 이에 관하여 제10도의 전압 파형도와 관련 회로도를 참조하여 설명한다.

이하의 독출 또는 프로그램동작에서는, 글로벌 워드라인 GWL0 및 워드라인 WL1이 선택되고 메모리 셀 섹터 MCS1이 선택된 것으로 가정한다. 먼저, 제6도의 글로벌 로우 디코더 50에서, 동작 전에 글로벌 워드라인을 GWL0~GWL7을 방전시키기 위하여 워드라인 방전신호 nWLd가 로우레벨로 활성화됨에 따라, 낸드 게이트 ND2의 출력 B0가 하이레벨로 된다. 그러면, 채널 예비 충전 회로 CPC0의 레벨 쉬프터 LS1의 출력 A0가 로우레벨로 된다. B0이 하이레벨인 동안(기간 Twld 동안), 자가 승압 드라이버들 SBD0~SBD7의 엔모오스 트랜지스터들 M3, M6 및 M9(이하 '워드라인 방전용 풀다운 트랜지스터들'이라 칭함)가 턴온되며, 글로벌 워드라인을 GWL0~GWL7을 접지전압의 레벨로 방전시킨다. 파셀 워드라인 구동신호를 PWL0~PWL7에 연결된 엔모오스 트랜지스터들 M2, M5 및 M8(이하 '워드라인 풀업 트랜지스터들'이라 칭함)의 게이트들에는 로우레벨의 A0이 인가되어 있는 상태이므로 그 트랜지스터들은 턴온되지 않는다.

워드라인 방전신호 nWLd가 하이레벨로 비활성화됨에 따라, B0이 로우레벨로 되고 풀다운 트랜지스터들 M3, M6 및 M9를 턴오프함에 의해 글로벌 워드라인들에 대한 방전동작이 완료된다. 글로벌 워드라인들 GWL0~GWL7의 방전이 완료된 후, 낸드게이트 ND2의 출력(B0)이 로우레벨로 바뀐다. 그러면, 레벨 쉬프터 LS1의 엔모오스 트랜지스터 N1와 피모오스 트랜지스터 P2가 턴온되며, 출력 A0은 제1고전압 VPP1으로 충전된다. 하이레벨의 숏 펄스(short pulse)로 활성화된 워드라인 예비 충전 신호 WLp를 포함한 낸드 게이트 ND3의 입력이 모두 하이레벨이고 레벨 쉬프터 LS2의 엔모오스 트랜지스터 N3과 피모오스 트랜지스터 P4가 턴온됨에 따라, 레벨 쉬프터 LS2의 출력 C0는 제1고전압 VPP1로 충전된다. 그러면, VPP1의 레벨로 충전된 A0은 디플리션 엔모오스 트랜지스터들 M1, M4 및 M7을 통하여 풀업 트랜지스터들 M2, M5 및 M8의 게이트들에 인가된다. 풀업 트랜지스터들 M2, M5 및 M8의 게이트들이 제1고전압 VPP1의 레벨로 예비 충전시키 후에는, C0이 VPP1로부터 0V로 강하됨에 의해 풀업 트랜지스터들의 게이트들이 Vpp1의 예비 충전레벨로 유지되도록 한다. 예비 충전 동작이 완료되고 나면, 8개의 글로벌 워드라인들 중 선택된 GWL0을 선택적으로 구동시키기 위하여, 제7도의 파셀 로우 디코더 55로부터 PWL0이 활성화되어 풀다운 트랜지스터 M2의 드레인으로 인가된다.

선택된 글로벌 워드라인 GWL0에 대응하는 파셀 워드라인 구동신호 PWL0을 활성화시켜 발생하는 과정을 설명한다. 제6도의 파셀 로우 디코더 55에서, 예비 충전 신호 nPRE는 독출 또는 프로그램 동작을 위하여 제2고전압 Vbst 또는 Vpgm의 레벨로 파셀 워드라인 구동신호 PWL1을 발생하기 전에, 그 경로상에 있는 트랜지스터들의 게이트를 예비충전시키고 파셀 워드라인 구동신호 출력단 PWL1을 방전시키기 위하여 사용된다. 글로벌 디코더에서 고전압을 전압강하없이 전승하기 위하여 예비 충전 과정을 수행하는 것과 같은 필요에 따라 행하여진다. 즉, nPRE가 로우레벨로 활성화되면, 낸드게이트 ND11의 출력이 하이레벨이므로 레벨쉬프터 LS11의 출력 T1이 하이레벨로 된다. T1이 고전압용 엔모오스 디플리션 트랜지스터들 M11 및 M12의 게이트들과 고전압용 엔모오스 트랜지스터 M14의 게이트에 인가되므로, 엔모오스 디플리션 트랜지스터들 M11 및 M12의 게이트들은 제2고전압 Vbst로 충전되고 엔모오스 트랜지스터 M14를 통하여 파셀 워드라인 구동신호 출력단 PWL1은 0V로 방전된다. 그 후, 예비 충전 신호 nPRE가 하이레벨로 비활성화되면, 하이레벨로 활성화된 선택신호 S0에 의해 낸드게이트 ND11의 출력은 로우레벨로 되고 T1은 로우레벨로 된다. 로우레벨의 T1에 의해 제2고전압 Vbst가 턴온된 피모오스 트랜지스터 P13를 통하여 고전압용 엔모오스 트랜지스터 M13의 드레인에 충전된다.

서입 제어 신호 WR(또는 nWR)은 프로그램동작에서는 하이레벨(nWR은 로우레벨)로 활성화 되고 독출동작에서는 로우레벨(nWR은 하이레벨)로 비활성화되는 신호이다. 따라서, 프로그램동작에서는 레벨 쉬프터 LS13의 출력 T3를 하이레벨로 만들어 고전압용 엔모오스 트랜지스터 M15의 게이트를 제1고전압 VPP1의 레벨로 충전시킨다. 이것에 의해, 제3고전압인 약 9V의 프로그램 전압 Vpgm을 엔모오스 트랜지스터 M15를 통하여 파셀 워드라인 구동신호 PWL0의 전원으로 공급한다. 이 때, nWR은 로우레벨이므로, 레벨 쉬프터 LS12의 출력 T2는 로우레벨로 되고 엔모오스 트랜지스터 M13은 턴오프되어 독출에 사용되는 Vbst는 PWL0로 전승되지 않는다. 반대로, 서입 제어 신호 WR이 로우레벨(nWR이 하이레벨)인 때, 즉 독출동작인 경우에는, T2가 하이레벨로 되고 T3가 로우레벨로 되기 때문에 독출동작을 전원인 Vbst가 엔모오스 트랜지스터 M13를 통하여 PWL0로 공급된다.

여기서, 독출 또는 프로그램동작에서 풀업용으로 사용되는 고전압용 엔모오스 트랜지스터들 M13 및 M15의 드레인들은 독출용 전원 Vbst 및 프로그램용 전원 Vpgm로 각각 충전되어 있는 상태이기 때문에, 그들의 게이트들에 VPP1의 전압이 인가되면 게이트와 드레인사이에 존재하는 용량 성분(parasitic capacitance)에 의해자가 승압(self boosting)이 자동적으로 발생된다. 그에 따라, 트랜지스터들 M13 또는 M15의 게이트들은 제1고전압 VPP1보다 높은 제2고전압 Vbst 또는 제3고전압 Vpgm에 응답하여 상승하기 때문에,

Vbst 또는 Vpgm이 전압강하없이 PWL0로 공급되도록 한다.

다시 제6도로 돌아가면, Vbst(독출 동작용) 또는 Vpgm(프로그램 동작용)의 레벨로 된 PWL0가 파셜 로우 디코더 55로부터 발생되어 엔모오스 풀업 트랜지스터 M2의 드레인으로 인가된다. 트랜지스터 M2의 게이트 노드 GN0는 이미 VPP1의 레벨로 예비 충전되어 있는 상태이기 때문에, 드레인으로 인가된 Vbst 또는 Vpgm에 응답하여 게이트와 드레인간의 용량 결합(capacitive coupling)에 의한 자가 승압이 진행된다. 그 결과, 제10도에 보인 바와 같이, 게이트 노드 GN0는 VPP1으로부터 Vbst 또는 Vpgm의 레벨까지 승압되고, Vbst 또는 Vpgm은 전압강하없이 선택된 글로우벌 워드라인 GWL0로 트랜지스터 M2를 통하여 전송된다. 선택되지 않은 다른 풀업 트랜지스터들 M5 및 M8의 게이트 노드들 GN1 및 GN7은 여전히 이전의 예비 충전 레벨인 VPP1으로 유지되고, 선택되지 않은 다른 글로우벌 워드라인들 GWL1~GWL7은 이전에 방전된 상태인 0V에 머물러 있다.

제5도를 참조하면, Vbst 또는 Vpgm의 레벨로 된 선택된 글로우벌 워드라인 GWL0는 1번째 워드라인 블록 WB01에 포함된 구동 트랜지스터 DT01의 드레인으로 인가된다.

디플리션형의 구동 트랜지스터 DT01의 게이트에 인가되는 선택 신호 SWS1을 발생하는 과정을 제8도를 참조하여 설명한다. 제8도의 선택 회로 56에서 사용되는 예비 충전 신호 nPRE와 관련하여, 고전압용 엔모오스 디플리션 트랜지스터들 M21 및 M22의 게이트들의 충전 동작과 고전압용 엔모오스 트랜지스터 M24에 의한 선택 신호 출력단 SWS1의 방전 동작은 제7도의 파셜 로우 디코더에서의 그것과 동일하다. 즉, nPRE가 로우레벨로 활성화됨에 따라 레벨 쉬프터 LS21의 출력 T5가 하이레벨로 되고, 턴온된 트랜지스터 M24를 통하여 선택 신호 출력단 SWS1은 0V로 방전된다. 독출동작 또는 프로그램동작시에 제5도의 구동트랜지스터 DT01의 드레인에 인가되는 워드라인 구동 전압인 Vbst 또는 Vpgm에 대응하는 SWS1을 구동 트랜지스터 DT01의 게이트로 인가하기 위하여, 서입 제어 신호 WR (또는 프로그램 제어 신호)이 로우레벨(nWR은 하이레벨)인 때, 즉 독출동작인 경우에는, 고전압용 엔모오스 디플리션 트랜지스터 M23를 통하여 제2고전압 Vbst가 SWS1의 전원으로 공급되고, WR이 하이레벨로 되는 프로그램동작에서는 제3고전압 Vpgm이 고전압용 엔모오스 트랜지스터 M25를 통하여 SWS1의 전원으로 공급된다.

선택된 글로우벌 워드라인 GWL0와 선택된 워드라인 WL01을 연결하여 워드라인 WL01로 구동 전압(독출시에는 Vbst, 프로그램시에는 Vpgm)을 공급하는 구동 트랜지스터 DT01의 게이트에 전송될 전압 레벨과 동일한 전압을 인가하고 구동 트랜지스터가 디플리션형으로 형성되어 있기 때문에, 최종적으로 선택된 워드라인 WL01에는 독출 또는 프로그램에 필요한 전압이 전압 강하 없이 인가된다.

동작상의 이해를 돕기 위하여, 아래의 표들은 전술한 본 발명의 실시예에 따라 프로그램, 소거 및 독출 동작에서 인가되는 전압들의 레벨을 나타낸 것이다. 표2는 선택된 메모리셀에 인가되는 전압 상태이며, 표3은 동작 모드에 따른 제1, 제2 및 제3고전압의 레벨을 나타낸 것이다. 또한, 표4는 동작 모드에 따라 워드라인들 및 선택신호들의 전압 레벨을 보인 것이다.

< 표 2 : 동작모드에 따른 메모리 셀 바이어스 >

동작 모드	워드라인	비트라인	소오스라인	벌크
프로그램	+9V	5V	0V	0V
소거	0V	플로팅	플로팅	+18V
독출	+4.5V	+1V	0V	0V

< 표 3 : 동작모드에 따른 사용 전압 레벨>

동작 모드	VPP1	Vbst	Vpgm	선택된 GWL	비선택된 GWL
프로그램	4.5V	Vcc	9V	9V	0V
소거	4.5V	Vcc	Vcc	0V	
독출	4.5V	4.5V	Vcc	4.5V	0V

< 표 4 : 동작모드에 따른 신호 라인상의 인가 전압 레벨>

동작 모드	GWL		선택된 메모리 셀 선택									
	선택	비선택	선택 PWL	비선택 PWL	SWS1	선택 WL	비선택 WL	벌크	PWL	SWS1	비선택 GWL의 WL	
프로그램	9V	0V	9V	0V	9V		0V			0V		
소거		0V		0V				18V				
독출	4.5V	0V	4.5V	0V	4.5V		0V			0V		

표2에 보인 바와 같이, 본 발명의 실시예에서는, 소거동작에서 종래의 경우처럼 벌크영역에는 양의 고전압을 인가하고 워드라인에 음의 고전압을 인가하는 방식을 사용하지 않고, 벌크영역에만 18V의 양의 고전압을 인가한다. 프로그램동작이나 독출동작에서의 전압레벨은 종래의 경우와 다르지 않지만, 전술한 자가 승압 방식을 이용하기 때문에, 고전압을 워드라인으로 인가하기 위하여 풀업 트랜지스터로서 피모오스 트랜지스터를 사용하지 않고 또한 피모오스 트랜지스터의 벌크영역에 고전압을 인가하지 않음에 유의하여야 한다.

앞서 소개된 자가 승압 드라이버, 파셜 로우 디코더, 섹터 선택회로 및 워드라인 드라이버 블록의 회로 구성에 있어서 자가 승압 방식을 적용하여 다양한 구조로 변경하는 것은 본 발명이 기술 분야에서 통상의 지식을 가진 자에 의하여 가능하다.

발명의 효과

본 발명에 따른 디코딩회로들은 종래와 같이 고전압용 피모오스 트랜지스터를 풀업용으로 사용하지 않고, 고전압용 엔모오스 트랜지스터 및 다플리션 트랜지스터를 사용하면서 자가 승압 방식을 통하여 독출 또는 프로그램에 필요한 고전압을 선택된 워드라인으로 공급하기 때문에, 전압 승압을 위하여 벌크영역까지 승압하여야 하는 부담이 없다. 또한, 공급되는 전압에 대응하여 게이트 전압이 상승하기 때문에, 독출 또는 프로그램시에 워드라인으로 공급되는 고전압들이 전압 강하없이 전송된다.

(5) 청구의 범위

청구항 1. 전기적인 소거 및 프로그램이 가능한 반도체 메모리 장치에 있어서;

복수개의 워드라인들 및 비트라인들과 복수개의 메모리셀들로 이루어진 복수개의 메모리 셀 섹터들;

소정의 연결수단들을 통하여 상기 워드라인들과 전기적으로 연결되는 복수개의 글로우벌 워드라인들;

상기 메모리 셀 섹터들을 선택하기 위하여 상기 연결수단들을 제어하는 섹터 선택회로;

동작모드에 따른 전압을 풀업 트랜지스터를 통하여 선택적으로 상기 글로우벌 워드라인들로 공급하는 드라이버 회로들;

상기 동작모드에 따른 전압을 상기 드라이버 회로들로 선택적으로 공급하는 파셜 로우 디코더; 그리고

소정의 선택신호들에 응답하여 상기 동작모드에 따른 전압이 상기 글로우벌 워드라인으로 공급되기 전에 상기 풀업 트랜지스터들의 게이트들을 소정의 전위로 만드는 예비 충전 회로들을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 2. 제 1 항에 있어서,

상기 풀업트랜지스터가 고전압용의 엔모오스 트랜지스터임을 특징으로 하는 반도체 메모리 장치.

청구항 3. 제 1 항에 있어서,

상기 드라이버 회로가 상기 글로우벌 워드라인과 접지전압 사이에 연결된 풀다운 트랜지스터를 더 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 4. 제 3 항에 있어서,

상기 예비 충전 회로가, 상기 동작모드에 따른 전압이 상기 글로우벌 워드라인으로 공급되기 전에 상기 풀다운 트랜지스터를 턴온시키는 회로를 가지고 있음을 특징으로 하는 반도체 메모리 장치.

청구항 5. 제 1 항에 있어서,

상기 연결수단이 다플리션 트랜지스터임을 특징으로 하는 반도체 메모리 장치.

청구항 6. 제 1 항에 있어서,

상기 예비 충전 회로가 제1고전압을 전원으로 사용하며, 상기 동작모드에 따른 전압이 독출 동작 모드에서는 제2고전압으로 되고 프로그램 동작 모드에서는 제3고전압으로 됨을 특징으로 하는 반도체 메모리 장치.

청구항 7. 상기 제1, 제2 및 제3고전압은 상기 반도체 메모리 장치의 전원전압보다 높은 전위를 가지며, 상기 제1고전압을 발생하는 회로와 상기 제2고전압을 발생하는 회로가 전기적으로 서로 분리되어 있음을 특징으로 하는 반도체 메모리 장치.

청구항 8. 전기적인 소거 및 프로그램이 가능한 반도체 메모리 장치에있어서;

복수개의 워드라인들 및 비트라인들과 복수개의 메모리셀들로 이루어진 복수개의 메모리 셀 섹터들;

소정의 연결수단들을 통하여 상기 워드라인들과 전기적으로 연결되는 복수개의 글로우벌 워드라인들;

상기 메모리 셀 섹터들을 선택하기 위하여 동작모드에 따른 전압을 상기 연결수단들에 인가하는 섹터 선택회로와;

상기 동작모드에 따른 전압을 공급하기 위한 파셜 워드라인 구동신호들을 발생하는 파셜 로우 디코더; 그리고

상기 동작모드에 따른 전압이 상기 글로우벌 워드라인으로 공급되기 전에 풀업 트랜지스터들의 게이트들을 예비 충전한 다음, 상기 파셜 워드라인 구동신호를 통하여 공급된 동작모드에 따른 전압을 상기 풀업

트랜지스터를 통하여 선택적으로 상기 글로우벌 워드라인들에 인가하는 글로우벌 로우 디코더를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 9. 제 8 항에 있어서,

상기 풀업 트랜지스터가 고전압용의 엔모오스 트랜지스터임을 특징으로 하는 반도체 메모리 장치.

청구항 10. 제 8 항에 있어서,

상기 연결수단이 디플리션 트랜지스터임을 특징으로 하는 반도체 메모리 장치.

청구항 11. 제 8 항에 있어서,

상기 글로우벌 로우 디코더가, 상기 글로우벌 워드라인과 접지전압사이에 연결되어 상기 동작모드에 따른 전압이 상기 글로우벌 워드라인으로 공급되기 전에 턴온되는

풀다운 트랜지스터를 가짐을 특징으로 하는 반도체 메모리 장치.

청구항 12. 제 8 항에 있어서,

상기 글로우벌 로우 디코더가 제1고전압을 전원으로 사용하며, 상기 동작모드에 따른 전압이 독출 동작모드에서는 제2고전압으로 되고 프로그램 동작모드에서는 제3고전압으로 됨을 특징으로 하는 반도체 메모리 장치.

청구항 13. 제 12 항에 있어서,

상기 제1, 제2 및 제3고전압은 상기 반도체 메모리 장치의 전원전압보다 높은 전위를 가지며, 상기 제1고전압을 발생하는 회로와 상기 제2고전압을 발생하는 회로가 전기적으로 서로 분리되어 있음을 특징으로 하는 반도체 메모리 장치.

청구항 14. 복수개의 워드라인들 및 비트라인들과 복수개의 메모리 셀들로 이루어진 복수개의 메모리 셀 섹터들을 가지며 전기적인 소거 및 프로그램이 가능한 반도체 메모리 장치에서 상기 워드라인들을 선택하는 회로에 있어서,

소정의 연결수단들을 통하여 상기 워드라인들과 연결된 글로우벌 워드라인들; 그리고

상기 글로우벌 워드라인들에 연결된 풀업 및 풀다운 트랜지스터들을 가지며, 동작모드에 따른 고전압이 상기 글로우벌 워드라인들 중 선택된 하나의 글로우벌 워드라인으로 공급되기 전에 상기 풀다운 트랜지스터들을 턴온시키고, 상기 풀업 트랜지스터들의 게이트들을 예비 충전하는 글로우벌 로우 디코더를 구비함을 특징으로 하는 회로.

청구항 15. 제 14 항에 있어서,

상기 글로우벌 로우 디코더가 제1고전압을 전원으로 사용하며, 상기 동작모드에 따른 전압이 독출 동작모드에서는 제2고전압으로 되고 프로그램 동작모드에서는 제3고전압으로 됨을 특징으로 하는 반도체 메모리 장치.

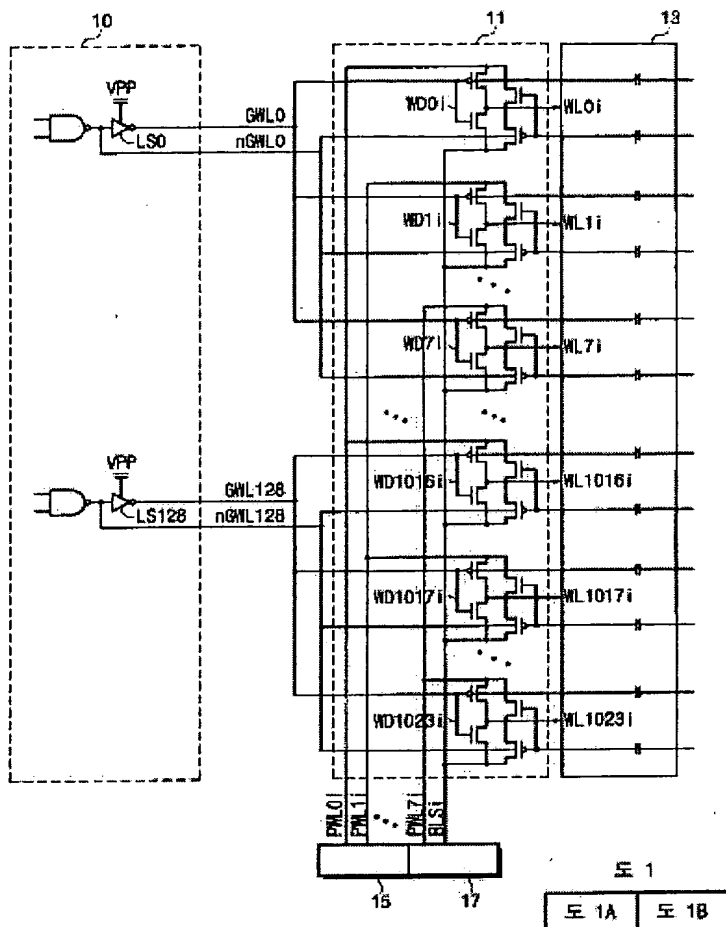
청구항 16. 제 14 항에 있어서,

상기 제1, 제2 및 제3고전압은 상기 반도체 메모리 장치의 전원전압보다 높은 전위를 가지며, 상기 제1고전압을 발생하는 회로와 상기 제2고전압을 발생하는 회로가 전기적으로 서로 분리되어 있음을 특징으로 하는 반도체 메모리 장치.

도면

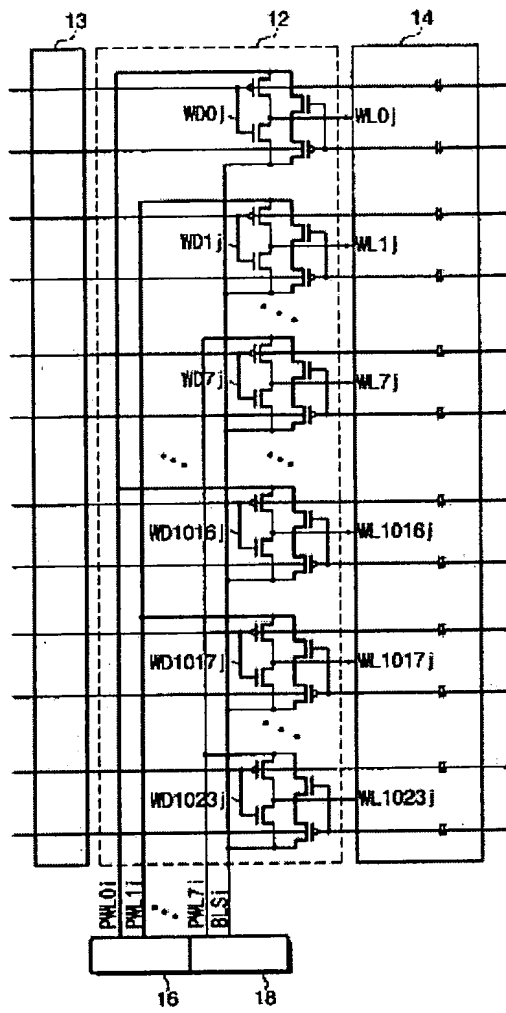
도면 1a

(종래 기술)



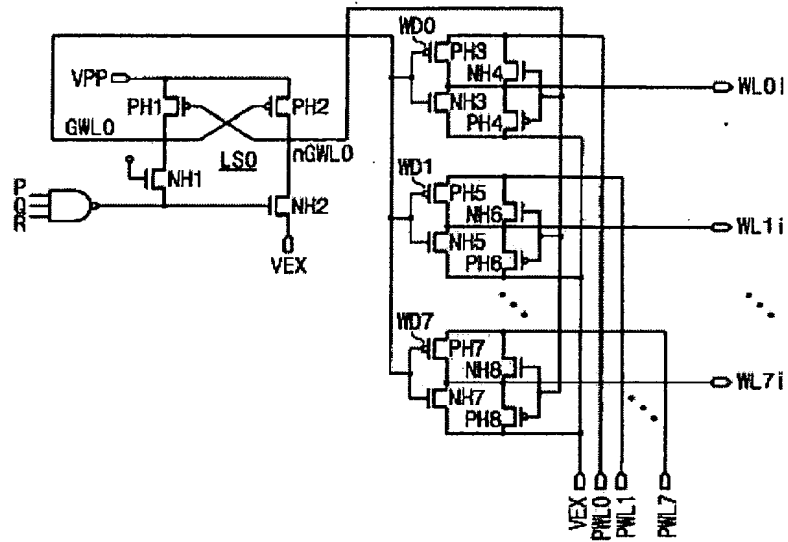
도면 1b

(종래 기술)



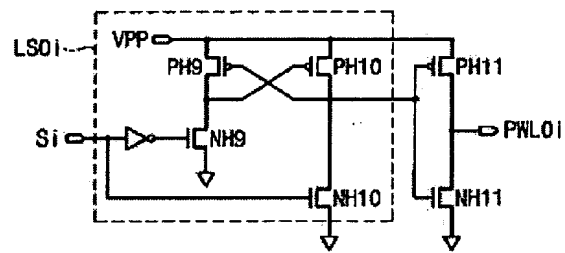
도면2

(종래 기술)



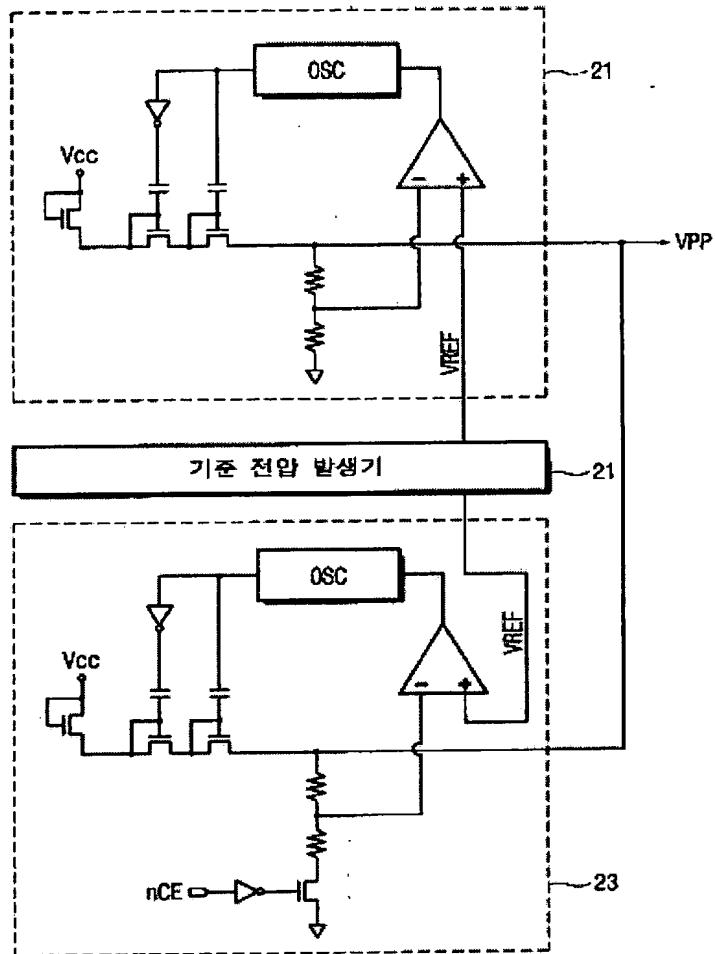
도면3

(종래 기술)



도면4

(종래 기술)



LEB

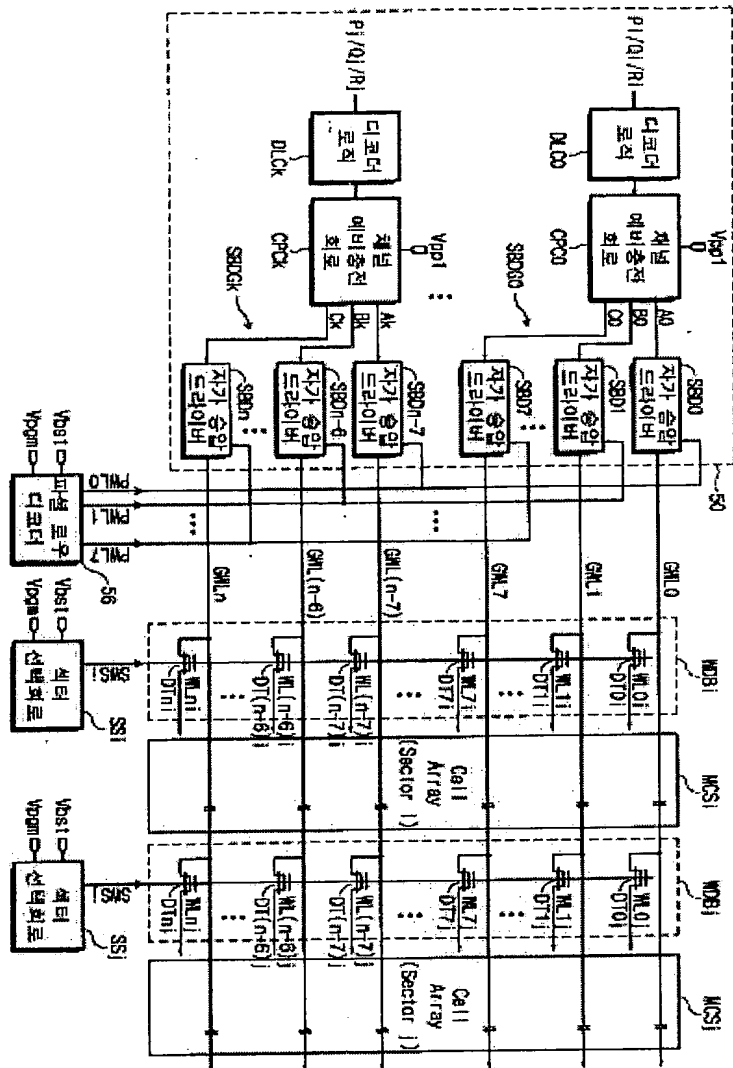
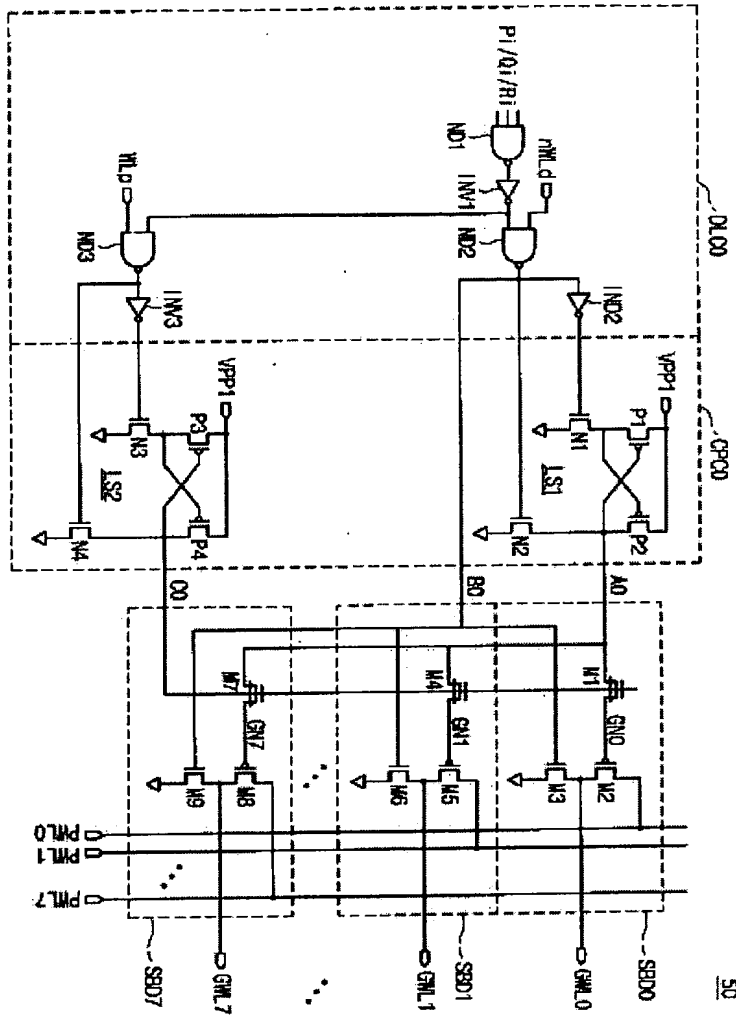
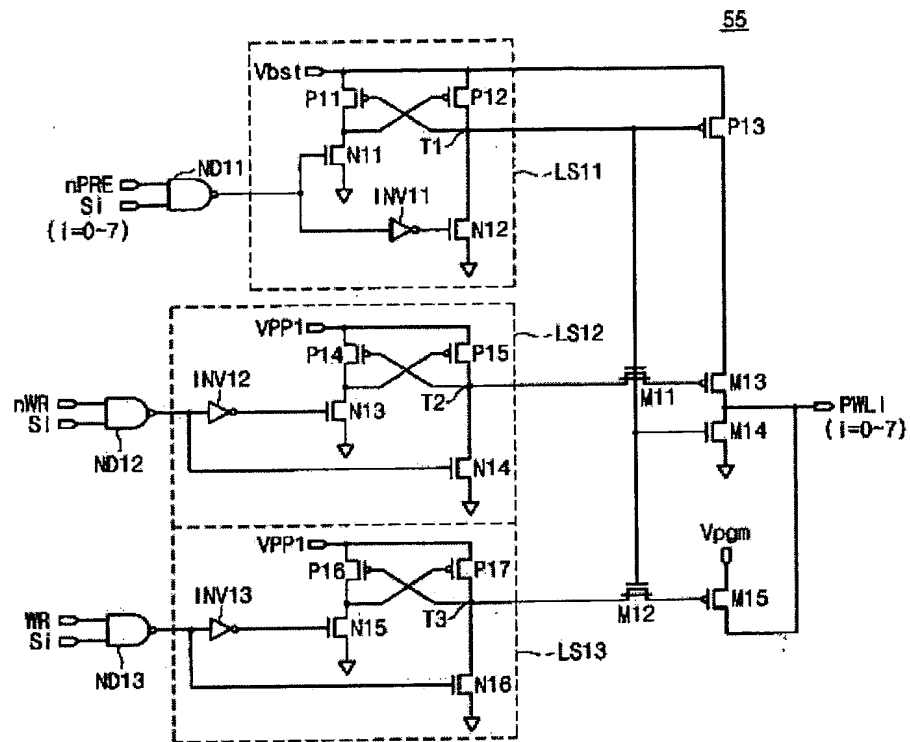


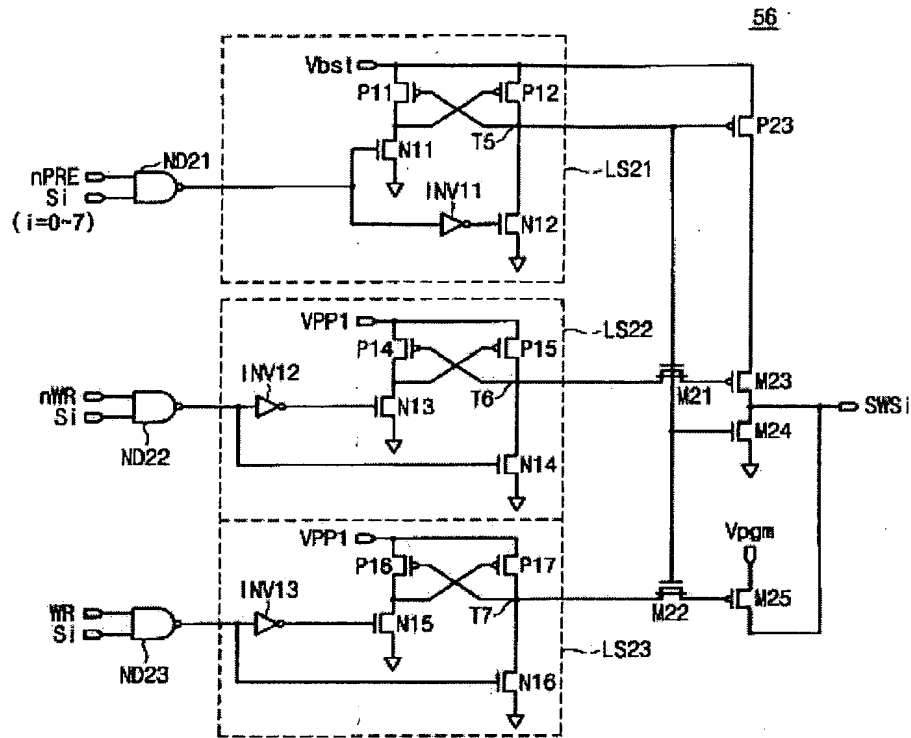
图 5



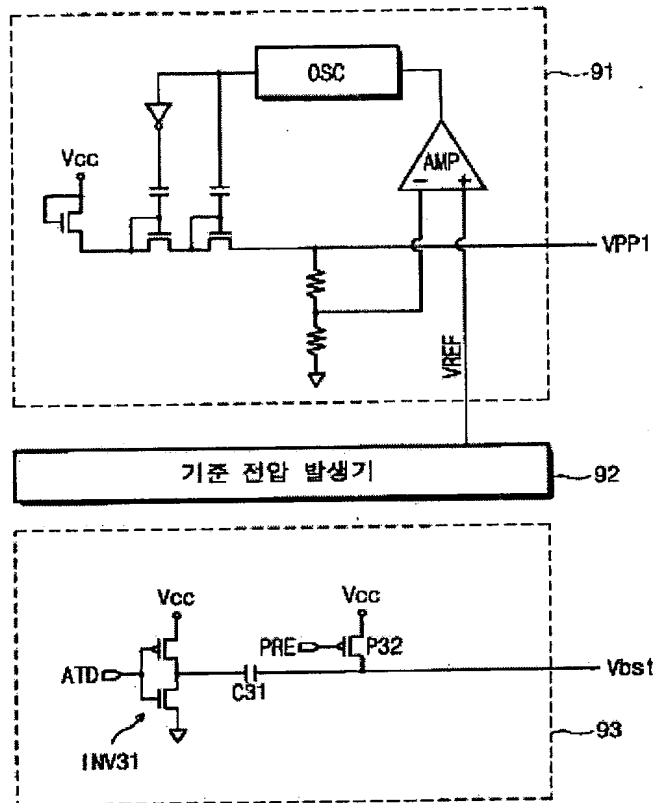
도 17



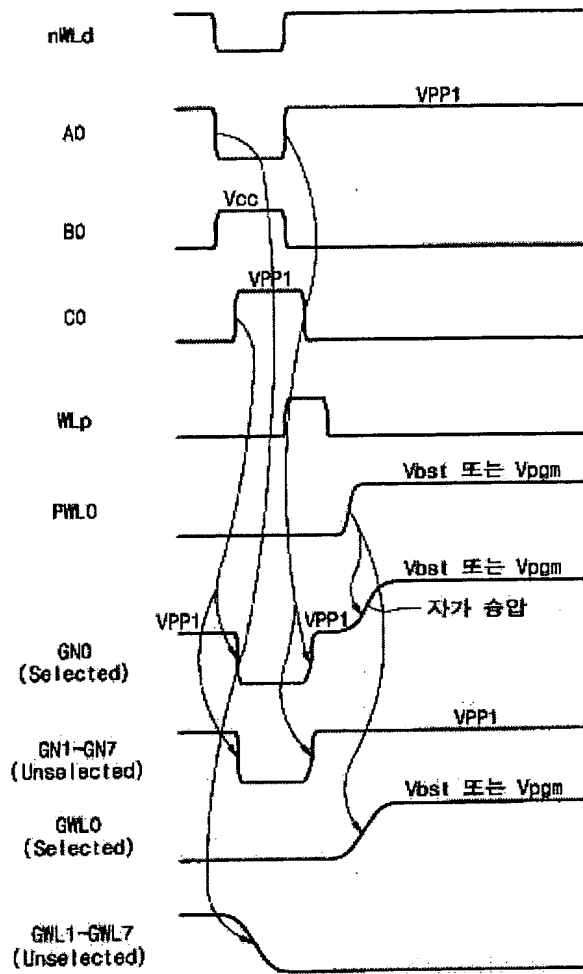
56



도 10



도면 10



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.